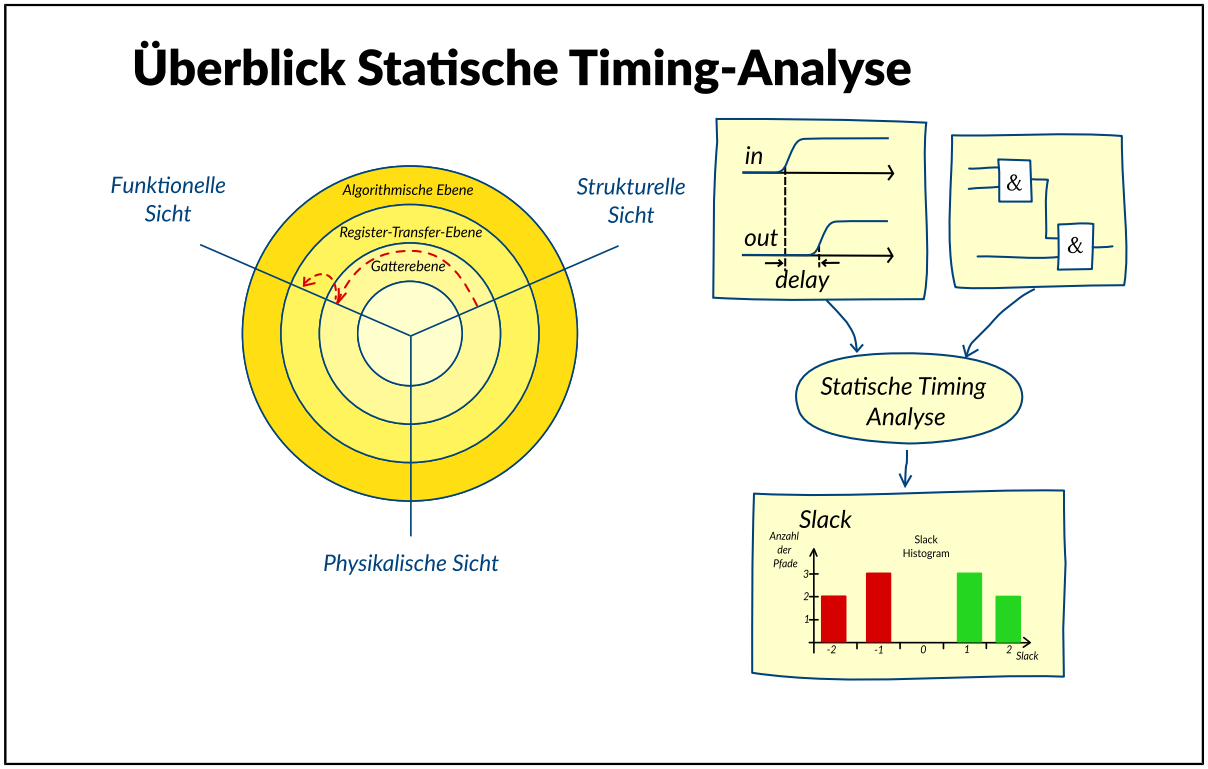
Electronic Design Automation (EDA)

Statische Timing-Analyse

Überblick
Delay
Elmore-Delay
Wire-Load-Modell
Pfad-Problem
Pfade/Cones
Kritischer Pfad
Setup- und Hold-Zeit
Ein- und Ausgänge
Falsche Pfade
Slack

Date of generation: 26.10.2026

Statische Timing-Analyse: Überblick



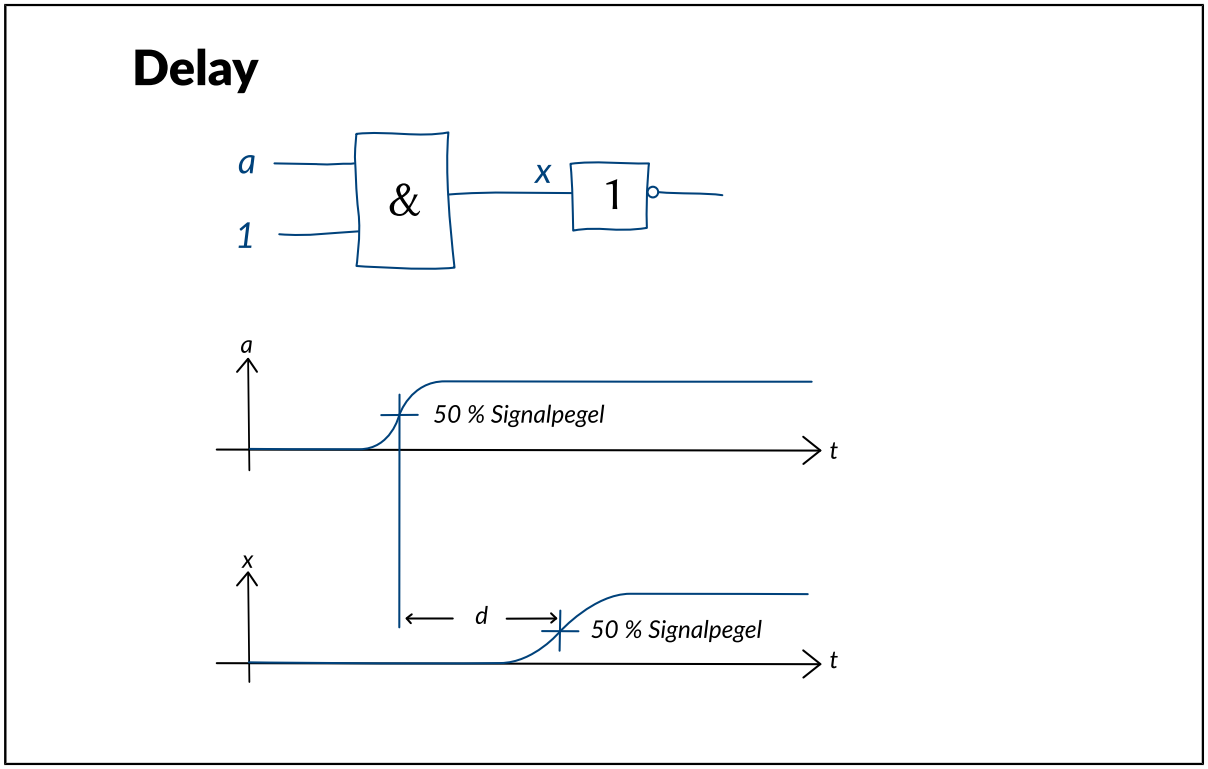
Input:

- Netzliste
- Delaymodell sowie -parameter aller Verbindungen
- Verzögerungszeiten der Elemente
- Taktschema, -perioden
- input arrival time, input slew rate, output capacitance load
- Einzuhaltende Bedingungen:
- Setup-, Hold-Time-Bedingungen der Speicherelemente
- output required arrival time

Output:

- Aussage, ob Bedingungen eingehalten werden
- Kritischer Pfad
- Path-Slack-Histogramm

Statische Timing-Analyse: Delay



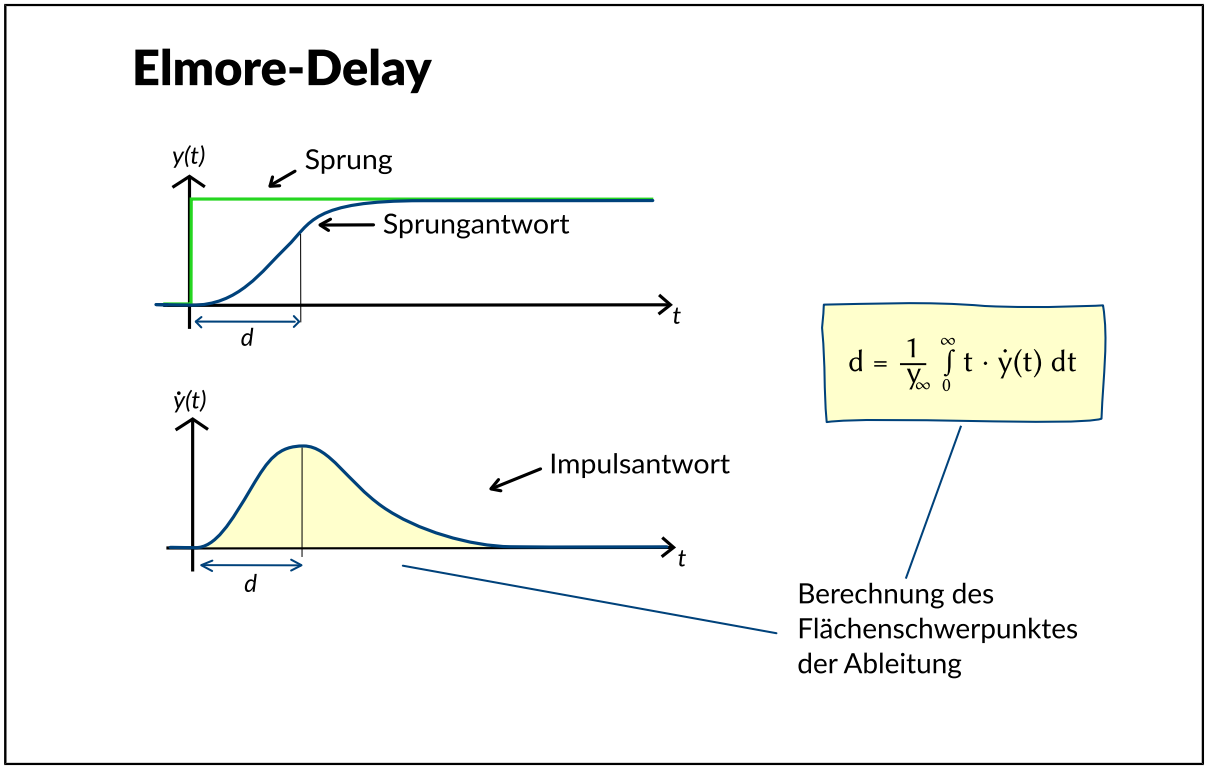
Schaltungen zur Realisierung von logischen Gatterfunktionen verhalten sich, wie bereits in vorigen Kapiteln erwähnt, nicht ideal. Die Realität ist durch folgende wesentliche Schaltungseigenschaften gekennzeichnet: Die Werte der Spannungen und Ströme sowie die Zeit sind kontinuierliche Größen. Außerdem sind die wirkenden elektrischen und magnetischen Felder über der Zeit stetig. Beides führt dazu, dass Ströme und Spannungen ebenfalls stetig sind, also jede Wertänderung Zeit benötigt.

Die Grafik zeigt eine Schaltung mit einem AND-Gatter. Die steigende Flanke am Eingang x bewirkt eine zeitlich verzögerte Flanke am Ausgang a. Allgemein bezeichnet das Delay die Verzögerung eines Signals zwischen einem Ein- und einem Ausgang eines Systems.

Ein Beispiel ist das so genannte 50%-Delay. Es ist definiert als die Zeitdifferenz zwischen den 50%-Schwellen der Signalübergänge beschreibt.

Betrachtet man das Ausgangssignal genauer, stellt man fest, dass es nicht einfach durch eine Verschiebung um den Wert des Delays aus dem Eingangssignal hervorgegangen ist. Zusätzlich hat sich auch die Kurvenform verändert. Es ist daher eine genauere Definition des Delays nötig.

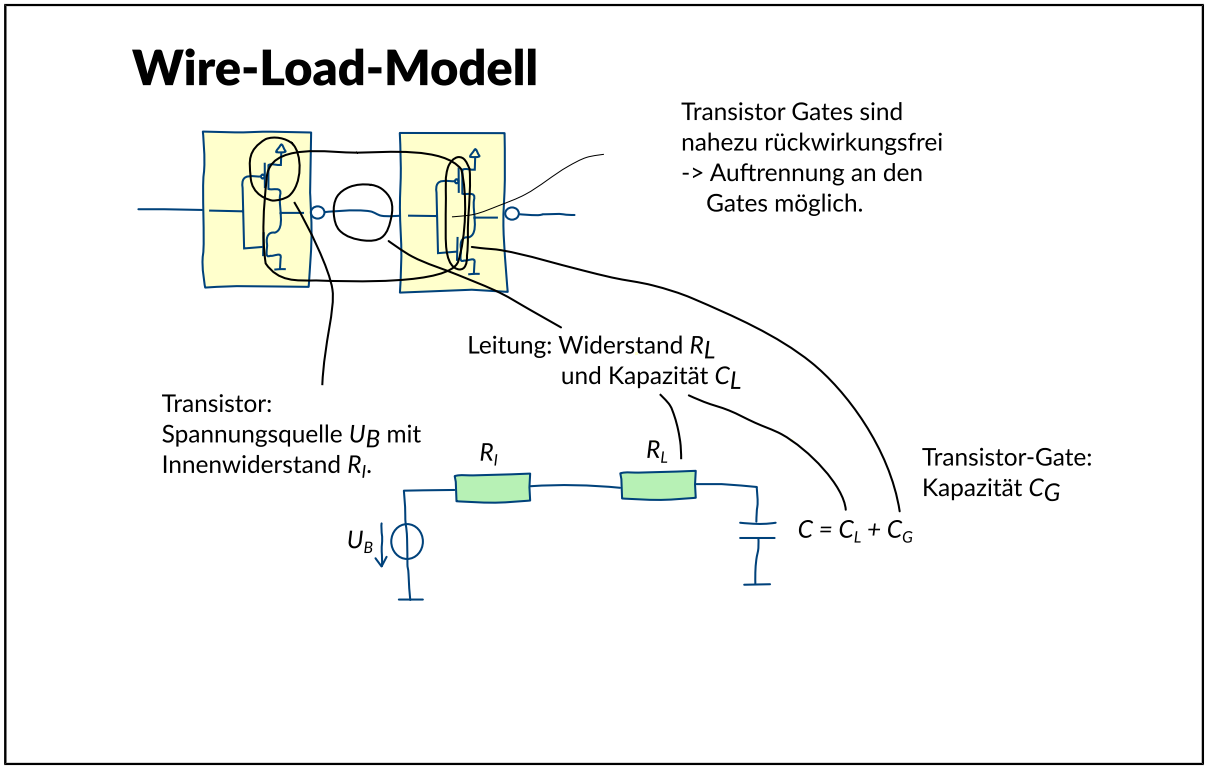
Statische Timing-Analyse: Elmore-Delay



Ein weiteres Beispiel für eine genauere Delay-Definition ist das so genannte Elmore-Delay. Es ist in folgender Weise definiert: Das System wird am Eingang mit einem Einheitssprung erregt. Die Ausgangskurve y(t) wird nach der Zeit abgeleitet. Der Flächenschwerpunkt dieser Ableitung ist das Elmore-Delay (Formel).

Wird das reale System durch ein lineares Modell beschrieben, so kann das Elmore-Delay in folgender Weise interpretiert werden: h(t)=dy(t)/dt sei die Impulsantwort des linearen Systems und H(s) seine Systemübertragungsfunktion. H(s) kann als Potenzreihenentwicklung von s dargestellt werden (Taylor-Reihe). Dabei werden die Koeffizienten als Momente i-ter Ordnung bezeichnet. Das Elmore-Delay ist identisch mit dem Moment erster Ordnung. Seine Berechnung ist für Netzwerke aus R und C direkt durch Summen- und Produktbildung möglich.

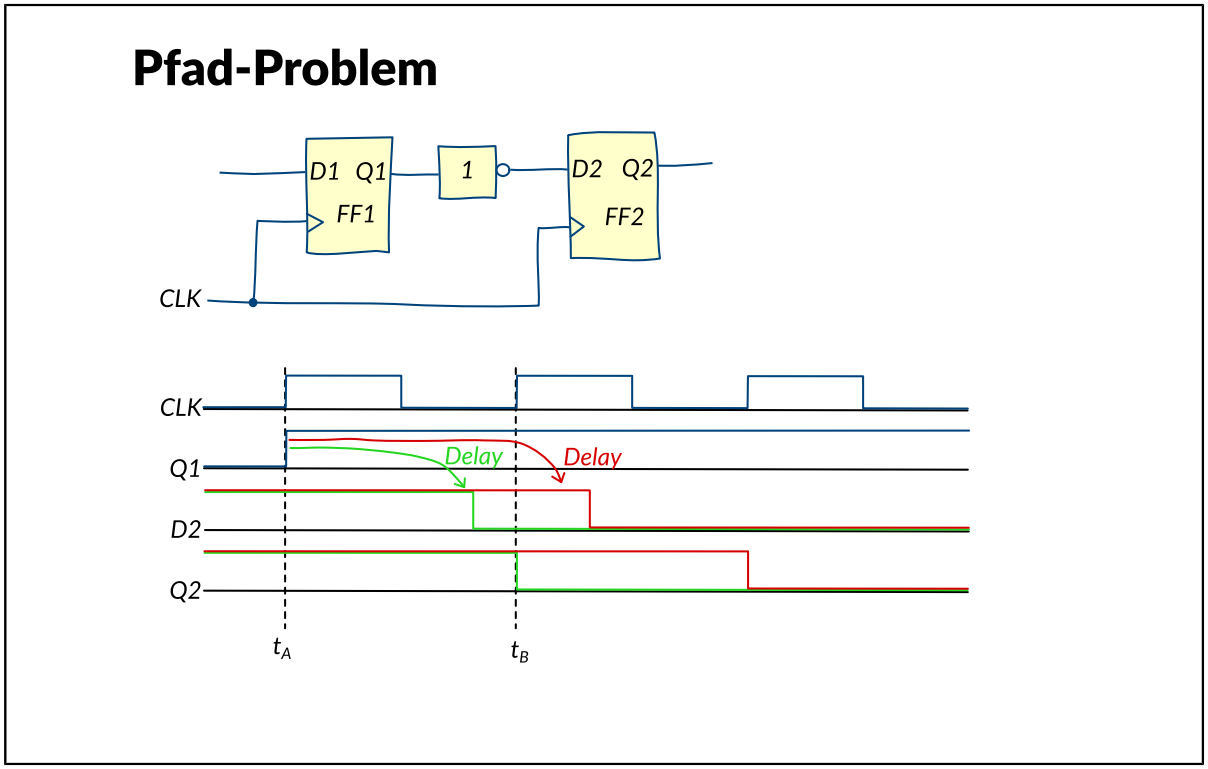
Statische Timing-Analyse: Wire-Load-Modell



Ein weiteres Problem entsteht, wenn das Delay einer mehrstufigen Logik aus den Delays der einzelnen Gatter berechnet werden soll. Die Delays von Teilsystemen können nur dann addiert werden, wenn es sich um rückwirkungsfreie Systeme handelt. Gatterschaltungen werden deshalb sinnvollerweise am Eingang eines Gatters aufgetrennt, da sich der Eingangstransistor im Wesentlichen rückwirkungsfrei verhält. Große Fehler entständen, wenn statt dessen an den Ausgängen der Gatter aufgetrennt würde, da sich die Last eines Gatters i.A. nicht rückwirkungsfrei verhält. Unter Last versteht man hier die Impedanz der Leitungen und die Eingangskapazitäten der angeschlossenen Gatter. Außerdem ist das Delay i.A. abhängig von der Flankenform. Diese wird bei der Delaybestimmung der einzelnen Gatter an Aus- und Eingang häufig als identisch angenommen.

Ein vereinfachtes Ersatzmodell für ein Gatter zeigt das Bild. Das Gatter selbst ist als Spannungsquelle mit Innenwiderstand modelliert. Der Innenwiderstand entsteht u.a. durch die Kanalwiderstände der Transistoren. Der Widerstand RL repräsentiert den Leitungswiderstand und die Kapazitäten CL und CG die Kapazität der Leitungen und der Gates der Transistoren. Das Delay hängt maßgeblich von der Last ab, d.h. von der Leitung und den angeschlossenen Gattern. Da Untersuchungen des Zeitverhaltens einer Schaltung bereits durchgeführt werden müssen, wenn noch kein Layout vorliegt, sind die Leitungseigenschaften noch nicht bekannt. Es werden daher zunächst übliche Werte aufgrund statistischer Untersuchungen verwendet. Dies wird als "Wire Load Model" bezeichnet. Sobald das Layout vorliegt, können aus den Geometrien exaktere Modelle für diese Lasten extrahiert und in das Schaltungsmodell annotiert werden. Programme, die aus elektrischen Ersatzmodellen ein Delay errechnen, nennt man Delay-Calculator.

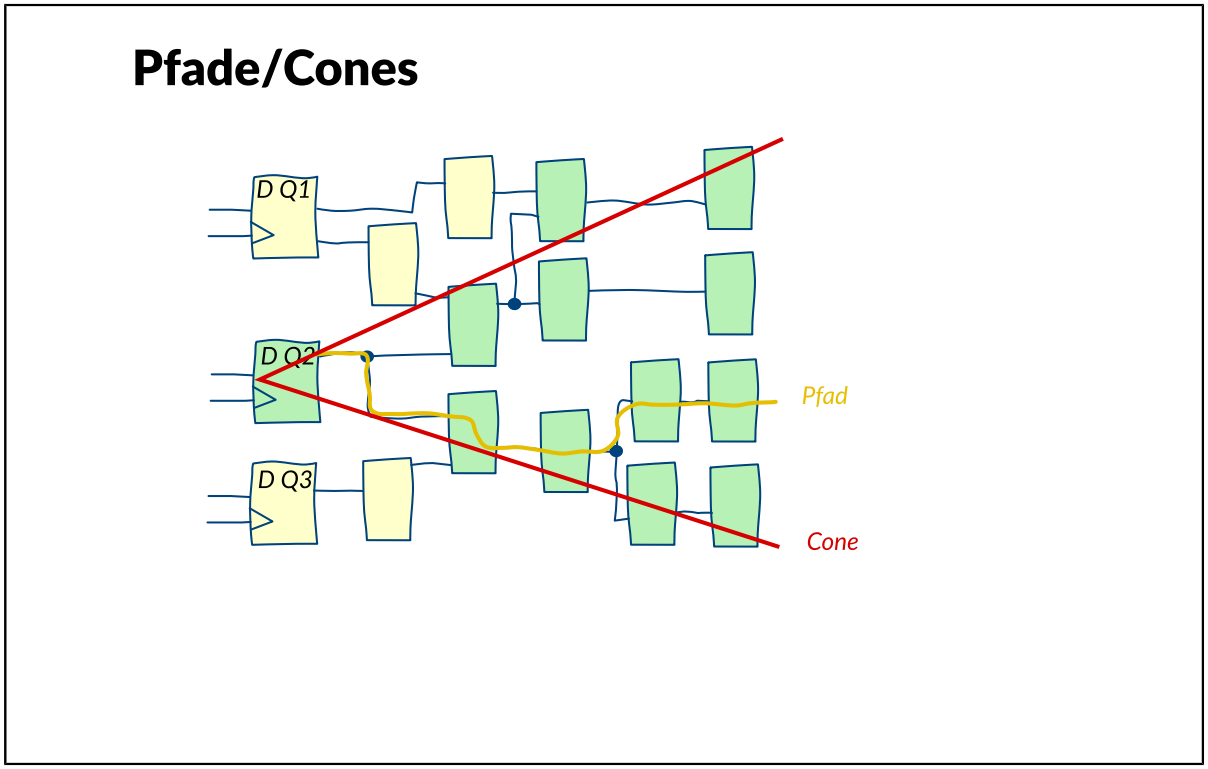
Statische Timing-Analyse: Pfad-Problem



Das Bild zeigt einen Ausschnitt aus dem Digitalteil der Ampelsteuerung. Aus dem zum Taktzeitpunkt tA in FF1 gespeicherten Zustandswert wird durch das Gatter ein neuer Wert erzeugt, der im folgenden Taktzeitpunkt tB von FF2 übernommen werden soll. Das Beispiel enthält einen kombinatorischen Pfad beginnend beim Ausgang Q1 über den Inverter bis zu Eingang D2.

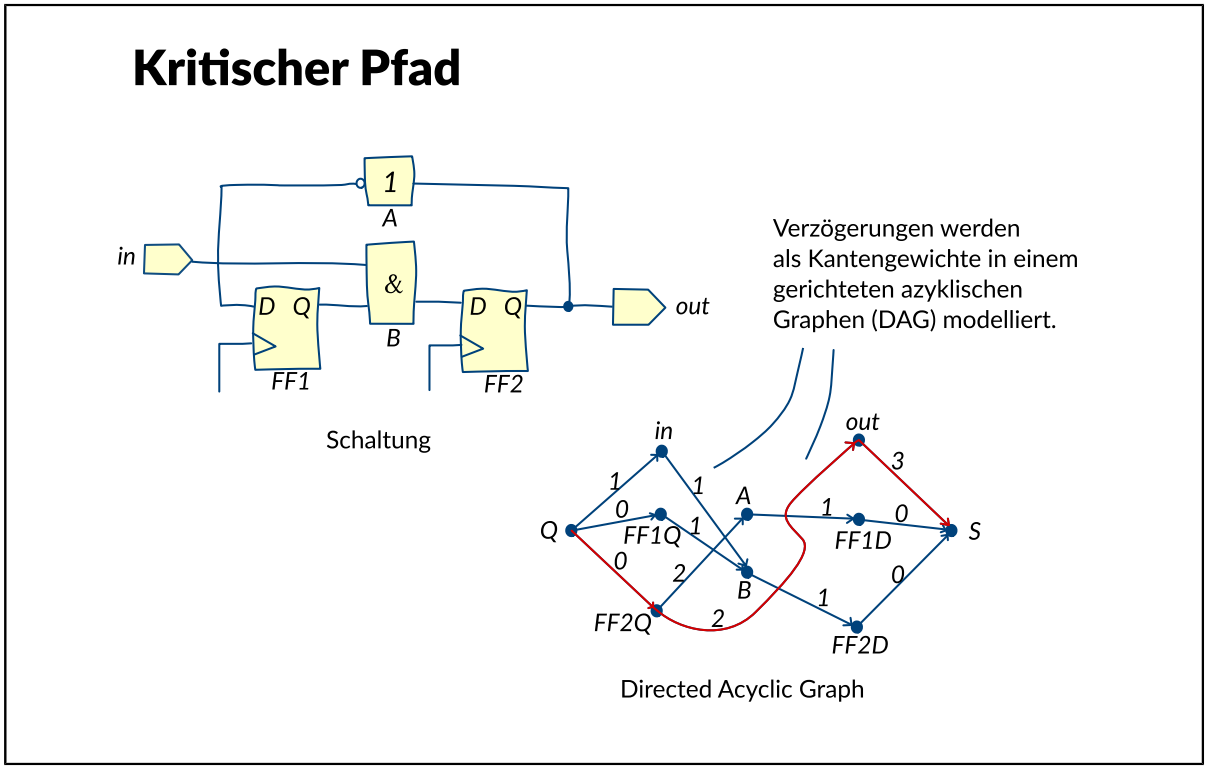
Berücksichtigt man eine Verzögerung, die auf diesem Pfad besteht, so ergeben sich die dargestellten Signale über der Zeit. Die gewünschte Funktion wird nur dann erfüllt, wenn das Pfad-Delay kleiner als die Taktperiode ist.

Statische Timing-Analyse: Pfade/Cones



Das Bild stellt einen anderen, größeren Ausschnitt der Schaltung dar. Ein Signalwechsel an Q2 kann sich auf die Ausgangssignale aller folgenden Gatter auswirken. Da der Ausgang eines Gatters wie im Beispiel mit Eingängen mehrerer anderer Gatter verbunden sein kann, gibt es mehrere Pfade, die von Q2 ausgehen. Es ergibt sich ein sich verbreiterndes Bündel von Pfaden. Dieses wird Cone (Kegel) genannt. In der Abbildung sieht man, dass ein Gatter oder Netz in mehreren Cones und damit auch in mehreren Pfaden enthalten sein kann. Allgemein ist ein Pfad eine Folge von miteinander in Signalflussrichtung verbundenen Gattern. Pfade beginnen an externen Eingängen oder Flip-Flop-Ausgängen und enden an externen Ausgängen oder Flip-Flop-Eingängen. Um sicher zu stellen, dass die Schaltung die gewünschte Funktion ausführt, muss für jeden Pfad die Verzögerung kleiner als die Taktperiode sein.

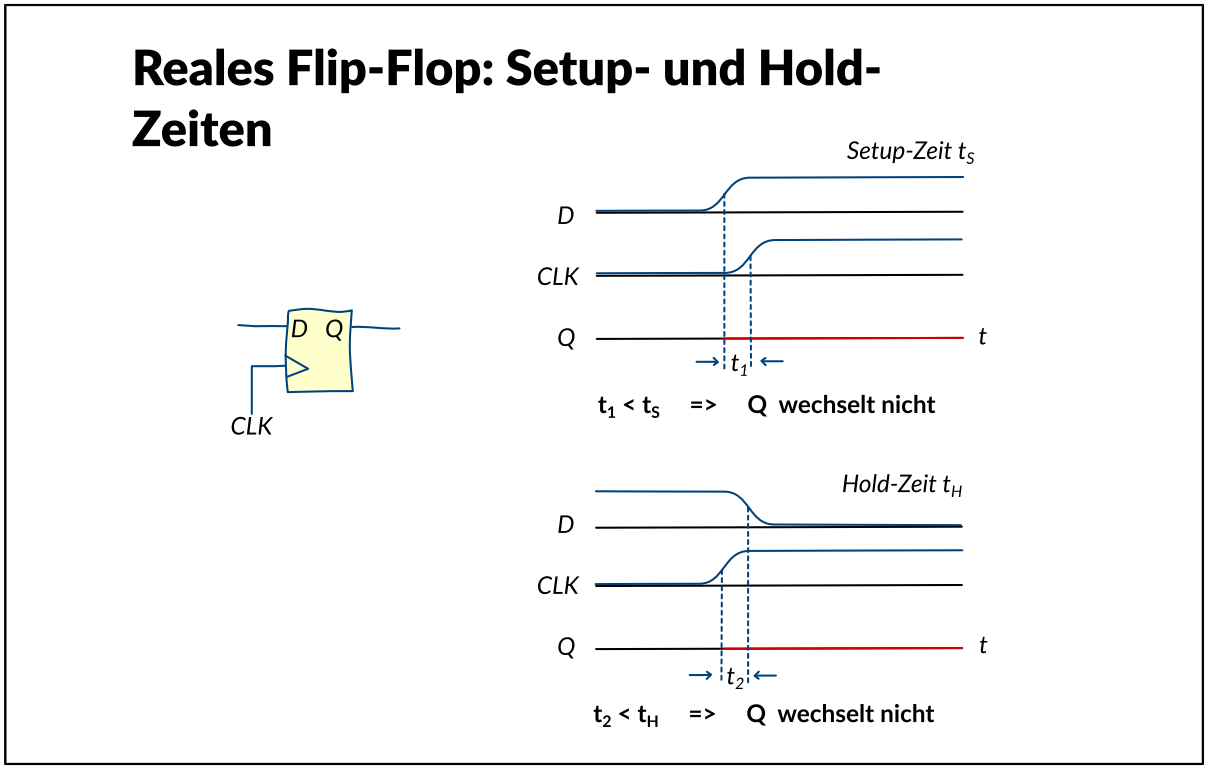
Statische Timing-Analyse: Kritischer Pfad



Zur Untersuchung des Zeitverhaltens wird eine synchrone digitale Schaltung in einen gerichteten azyklischen Graphen (DAG: Directed Acyclic Graph) umgewandelt. Die Ein- und Ausgänge der Schaltung und der Flip-Flops sowie die Logikgatter werden als Knoten modelliert. Für jede Verbindung zweier Schaltelemente wird eine gerichtete Kante eingeführt. Ein zusätzlicher Knoten Q (Quelle) wird mit allen Eingangsknoten und ein Knoten S (Senke) mit allen Ausgangsknoten über gerichtete Kanten verbunden. Die Kanten erhalten Gewichte, die die Zeitverzögerung zwischen den durch die adjazenten Knoten bezeichneten Signalen angeben.

Das Bild zeigt eine Schaltung und ihren zugehörigen DAG. Die Suche nach dem längsten Pfad von Q nach S liefert den kritischen Pfad Die Länge ist dabei die Summe der Kantengewichte entlang des Pfads. Der kritische Pfad bestimmt die maximale Taktfrequenz.

Statische Timing-Analyse: Setup- und Hold-Zeit



Untersucht man ein reales flankengesteuertes Flip-Flop, so fallen zwei Situationen auf, in denen es sich anders verhält, als man vom idealen Flip-Flop erwartet:

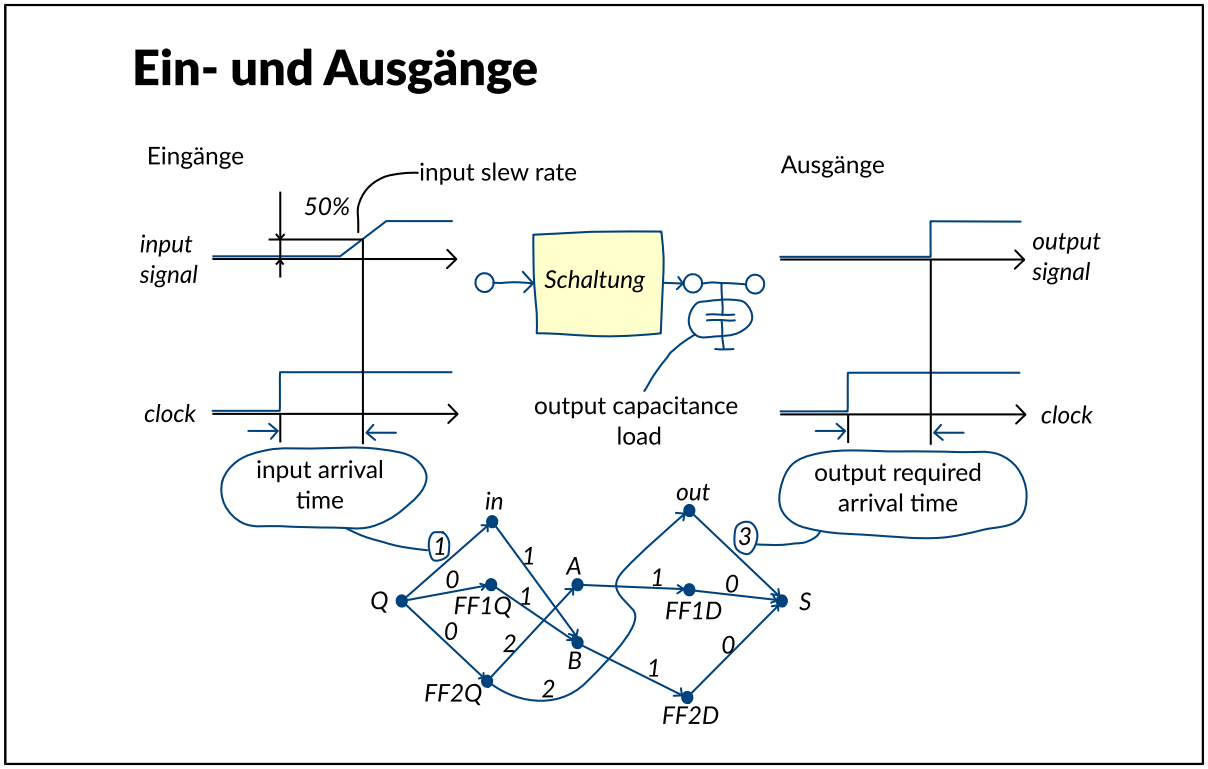
- Wechselt der Wert am Dateneingang erst sehr kurz vor der steigenden Taktflanke, dann wechselt der Ausgang Q nicht wie erwartet. Dies geschieht nur dann, wenn der Wechsel eine ausreichende Zeit vor der Taktflanke den neuen zu übernehmenden Wert besitzt.
- Wechselt der Wert am Dateneingang sehr kurz nach der steigenden Taktflanke, so wechselt der Ausgang Q nicht wie erwartet. Also muss der Wert auch eine bestimmte Zeit lang nach der Taktflanke noch den beabsichtigten Wert beibehalten.

Diesen Problemen wird durch zwei Bedingungen an das Timing begegnet:

Das Eingangssignal muss bereits um die Setup-Zeit ts vor und um die Hold-Zeit th nach der steigenden Taktflanke den gewünschten Wert haben.

Die Setup-Zeit ist eingehalten, wenn das Delay des kritischen Pfads kleiner oder gleich der Taktperiode minus der Setup-Zeit beträgt. Um zu prüfen, ob die Hold-Zeit eingehalten wird, muss das minimale Delay berechnet werden. Es muss also nicht nur der längste, sondern auch der kürzeste Pfad im DAG gefunden werden. Das minimale Delay (Länge des kürzesten Pfades) muss mindestens die Hold-Zeit betragen.

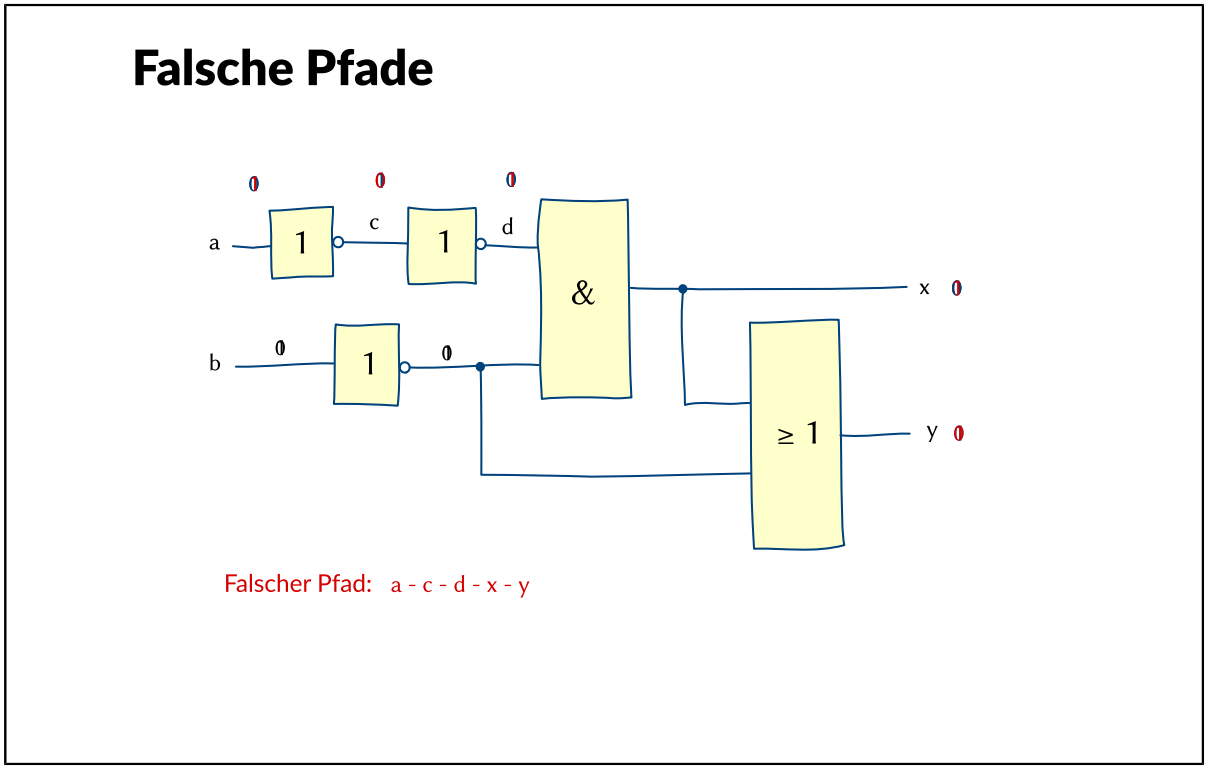
Statische Timing-Analyse: Ein- und Ausgänge



Weitere Timing-Bedingungen entstehen aus der Interaktion der zu untersuchenden Schaltung mit der Umgebung. Sind die Eingangssignale gegen den Takt versetzt, so wird dies als input arrival time bezeichnet. Sie kann im DAG durch Gewichtung der von Q ausgehenden Kanten berücksichtigt werden. In entsprechender Weise lässt sich eine output required arrival time in den Kanten berücksichtigen, die auf S weisen.

Die Kurvenform an den Eingängen wirkt sich auf das Delay aus. Dem wird in der Praxis durch Angabe einer input slew rate, also der Steigung von Signalwechseln an den Eingängen Rechnung getragen. An den Ausgängen bestimmt die angeschlossene Last das Delay, diese kann durch Angabe einer output capacitance load beschrieben werden.

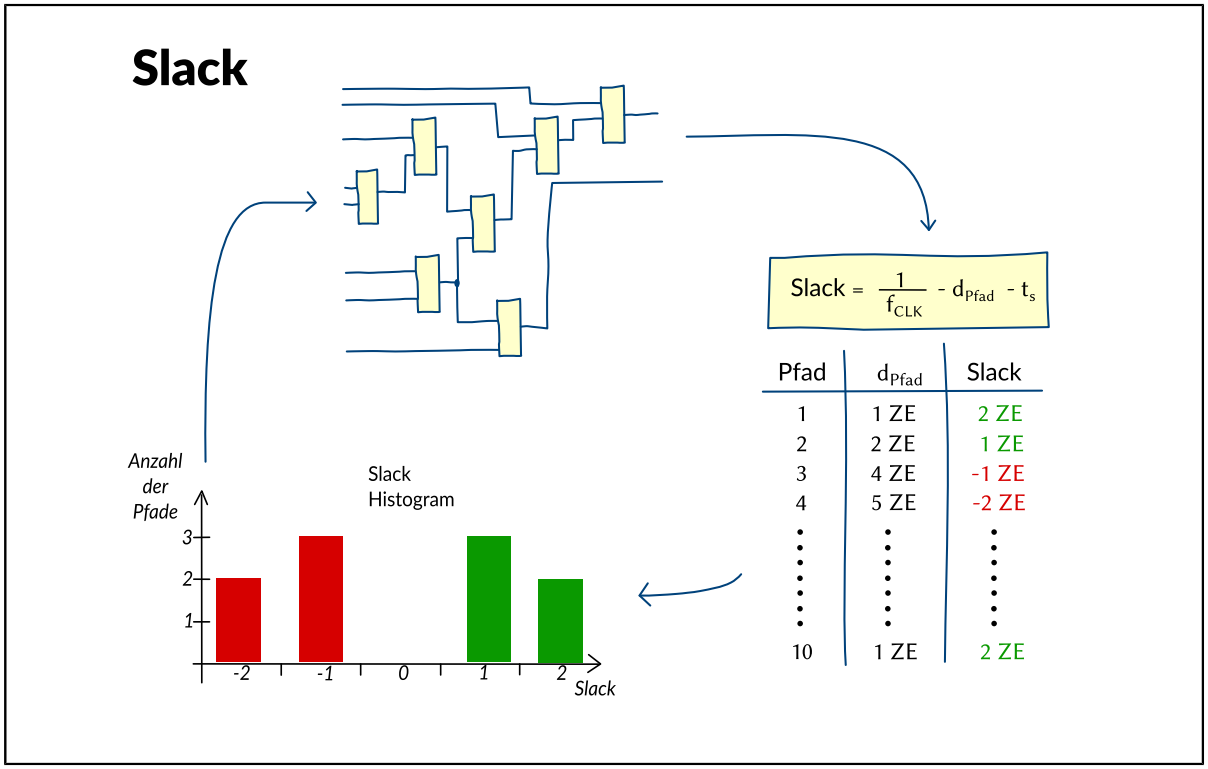
Statische Timing-Analyse: Falsche Pfade



Das Bild zeigt einen Ausschnitt aus einem Addierer. Unabhängig vom Wert des Eingangs x1 kann entlang des Pfads "a - c - d - x - y" kein Signalwechsel stattfinden. Diesen Pfad nennt man einen "falschen Pfad". Er ist nicht statisch sensibilisierbar. Ein Pfad ist dann statisch sensibilisierbar, wenn es eine Wertebelegung aller Signale gibt, die nicht zum Pfad gehören, so dass ein Wechsel am ersten Signal im Pfad eine Änderung der Signale entlang des Pfads verursacht. Um falsche Pfade erkennen zu können, ist die Kenntnis der Logikfunktionen der Elemente erforderlich.

Falsche Pfade können mit dem D-Algorithmus erkannt werden, der im Abschnitt Test beschrieben wird. Dort ist das Ziel, Signalwechsel über Pfade hinweg zu sensibilisieren und zu beobachten.
In Zusammenhang mit falschen Pfaden geht es darum, die Sensibilisierbarkeit von Pfaden zu überprüfen. Der D-Algorithmus leistet beides.

Statische Timing-Analyse: Slack



Als Slack wird die Zeit bezeichnet, die ein Pfad länger sein könnte, ohne die Timing-Bedingungen zu verletzen. Ein negativer Slack bedeutet, dass ein Pfad zu lang, die Setup-Zeit also unterschritten wird. Im Slack-Histogramm ist über dem Slack-Wert die Anzahl der diesen Slack-Wert besitzenden Pfade aufgetragen. Aus diesem Diagramm ist ersichtlich, ob nur wenige Pfade negativen Slack besitzen, und daher lokale Optimierungen sinnvoll sind, oder ob im anderen Fall grundlegende Architekturänderungen erforderlich sind, um ein Design zu erhalten, das die Timing-Bedingungen einhält.