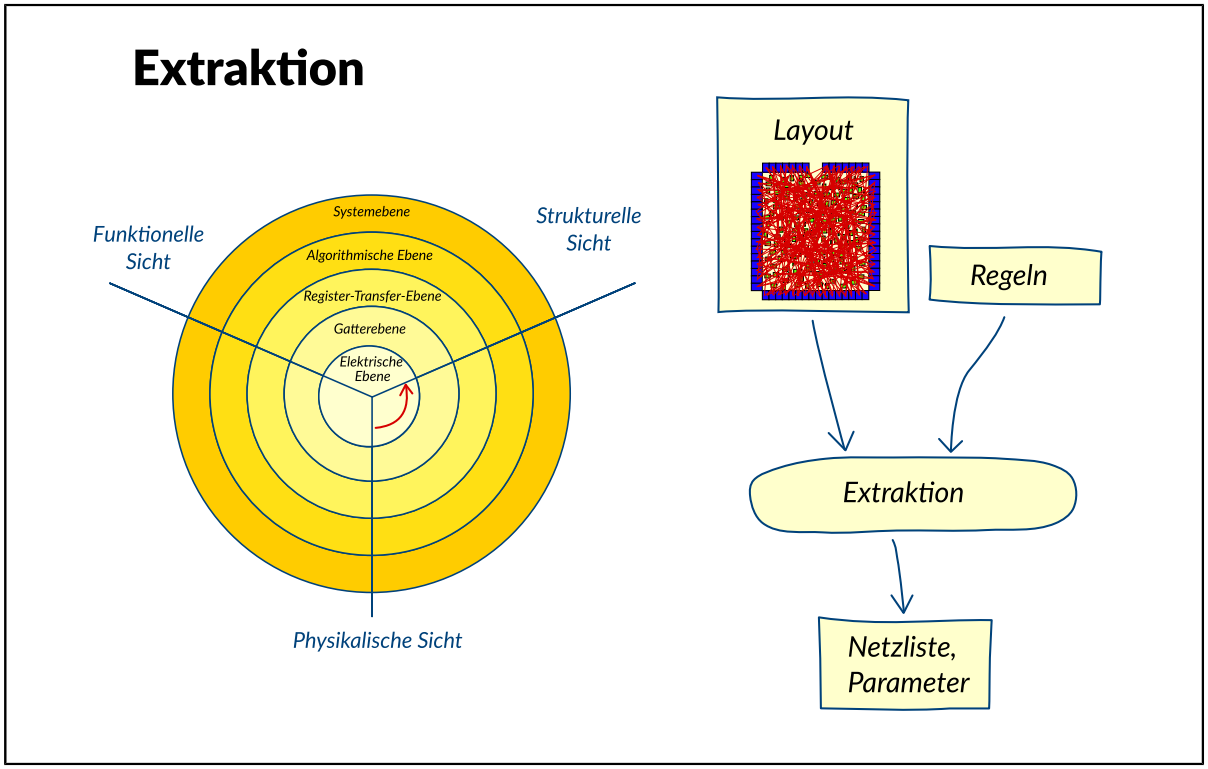
Electronic Design Automation (EDA)

Extraktion

Extraktion
Schaltungs- und Parameterextraktion
Schaltungsextraktion
Bauelementerkennung
Verdrahtungsanalyse
Netzlistenerstellung
Parameterextraktion
Parasitäre Elemente
Leitbahnparasiten
Aktive Siliziumparasiten
Passive Siliziumparasiten

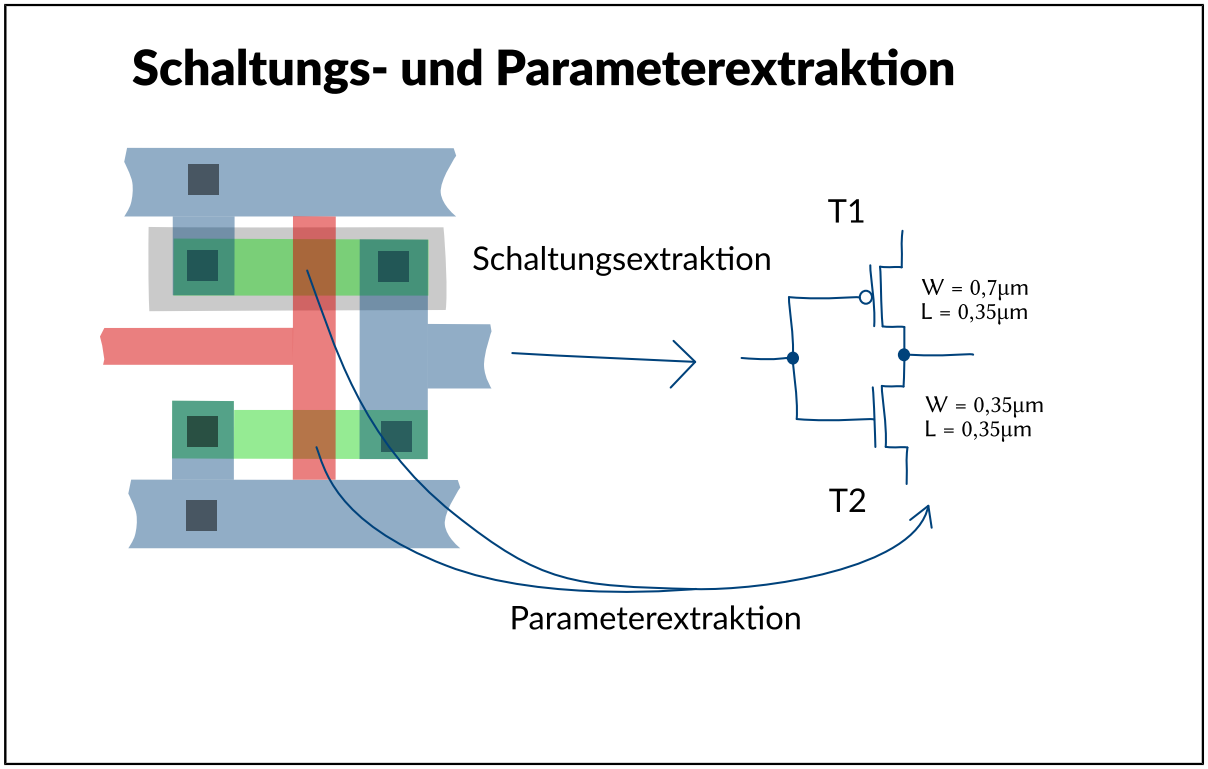
Date of generation: 26.10.2026

Extraktion: Extraktion



Der Begriff Extraktion beim Entwurf integrierter Schaltungen bezeichnet die Extraktion der elektrischen Eigenschaften aus dem Layout. Anhand eines Regelsatzes wird aus den Layoutdaten unter Zuhilfenahme von Technologieinformationen eine Netzliste auf elektrischer Ebene extrahiert. Eine Extraktion ist notwendig, da die beim DRC durchgeführte Überprüfung geometrischer Regeln zur Gewährleistung der korrekten Funktion des Layouts nicht ausreicht. Über dies gibt weitere Fehlerquellen, die durch einen DRC nicht erfasst werden. Beim Layoutentwurf können Fehler in der Struktur der Schaltung, z.B. durch falsche Verbindungen oder Kurzschlüsse, auftreten. Die elektrischen Eigenschaften der geometrischen Strukturen können die spezifizierten Grenzwerte verfehlen. Wird z.B. eine Leitbahn zu lang oder zu dünn ausgeführt, so kann ihr elektrischer Widerstand und damit ihre Verzögerungszeit zu groß werden. Um das Layout auf diese Fehlerquellen hin überprüfen zu können, wird eine Extraktion durchgeführt.

Extraktion: Schaltungs- und Parameterextraktion



Die Extraktion wird in zwei Schritten durchgeführt:

- Schaltungsextraktion
- Parameterextraktion

Als Ergebnis einer Schaltungsextraktion mit anschließender Parameterextraktion liegt eine Netzliste auf elektrischer Ebene des Layouts vor, die als Eingabe für einen Schaltkreissimulator verwendet werden kann. Sie kann daher zur genaueren Simulation der Schaltung verwendet werden. Die extrahierte Netzliste bildet die Grundlage für den ERC (Electrical Rule Check), eine topologische Prüfung, bei der überprüft wird, ob ein gegebener Satz elektrischer Regeln eingehalten wird (z.B. Kurzschlüsse oder unverbundene Netze). Eine weitere topologische Prüfung ist der Vergleich von extrahierter Netzliste und Netzliste der ursprünglichen Schaltung. Dieser Vorgang wird als Layout versus Schematic (LVS) bezeichnet.

Extraktion: Schaltungsextraktion

Schaltungsextraktion

1. Schritt:
Bauelementerkennung

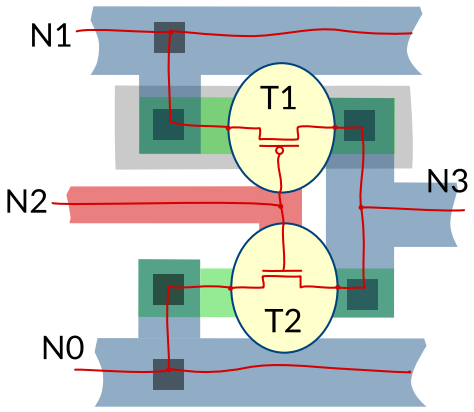
T1 NMOS
T2 PMOS

2. Schritt:
Verdrahtungsanalyse

N0 - N3

3. Schritt:
Netzlistenerstellung

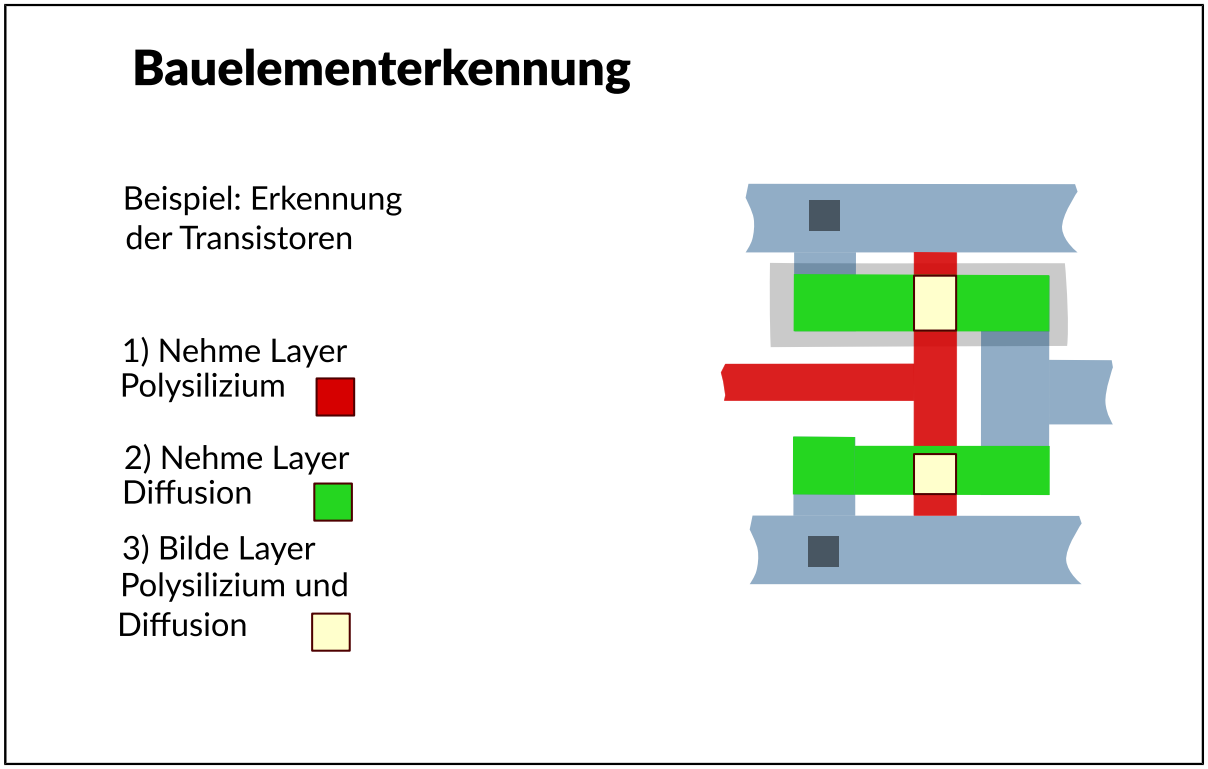
T1 NMOS N2 N3 N1
T2 PMOS N2 N3 N0



Bei der Schaltungsextraktion wird die Netzliste extrahiert. Bei CMOS-Schaltungen sind dazu drei Schritte notwendig.

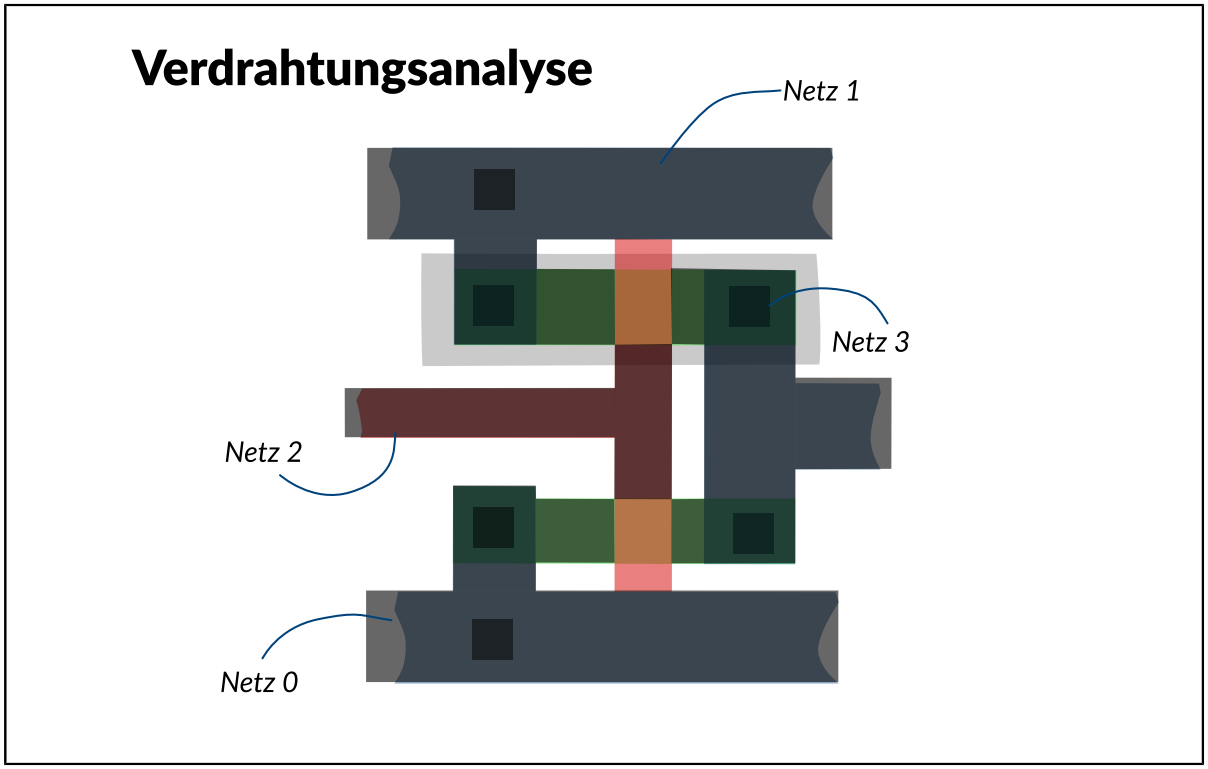
- Bauelementerkennung
- Verdrahtungsanalyse
- Netzlistenerstellung

Extraktion: Bauelementerkennung



Die Bauelementerkennung erfolgt aus der geometrischen Struktur des Layouts. Sie beginnt bei den Transistoren. Diese können leicht an der Topologie ihrer Gates lokalisiert werden. Dazu werden boolesche Operationen an den Layoutdaten durchgeführt (z.B. NGATE=(POLY and NDIFF)). Aufgrund ähnlicher und zum Teil komplexerer Operationen können sämtliche Bauelemente erkannt werden.

Extraktion: Verdrahtungsanalyse



Nach der Bauteilerkennung folgt die Verdrahtungsanalyse. Sie umfasst sämtliche Strukturen, die nicht den Bauelementen zugeordnet werden konnten. Es werden alle Netze bestimmt, indem alle Strukturen zusammen gefasst werden, die aufgrund von Kontaktierungen und Überlappungen auf gleichem elektrischen Potential liegen.

Extraktion: Netzlistenerstellung

Netzlistenerstellung

Bauelement T1

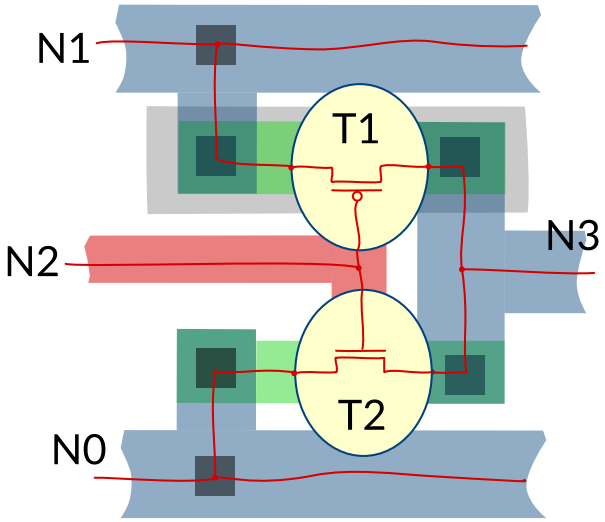
Drainanschluss: N3
Gateanschluss: N2
Sourceanschluss: N1

Bauelement T2

...

Netzliste:

T1 N3 N2 N1
T2 N3 N2 N0



Im letzten Schritt wird die Netzliste erstellt, indem die Anschlussknoten der Bauelemente den Netzen zugeordnet werden, bei Transistoren sind dieses die Source-, Drain und Gateanschlüsse, bei Dioden die Anode und Kathode. In den praktischen Ausführungen von Extraktionsprogrammen sind diese Schritte jedoch nicht eindeutig voneinander trennbar.

Extraktion: Parameterextraktion

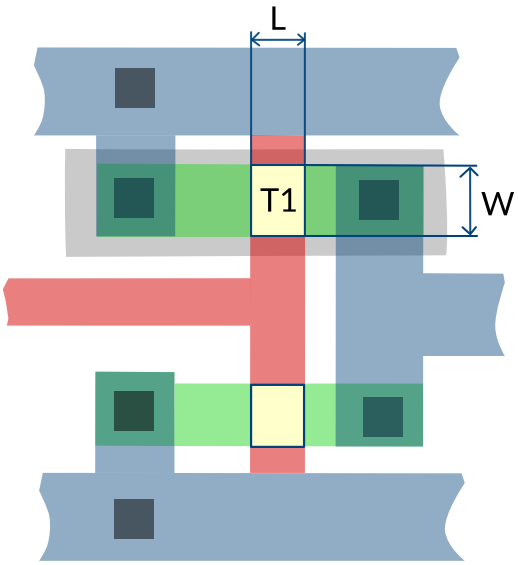
Parameterextraktion

Bestimmung der Parameter aus der Geometrie der Schaltung:

Beispiel Transistor T1:

Kanallänge: L

Kanalbreite: W



Die bisher bestimmte Netzliste enthält nur Strukturinformationen. Netzlisten zur analogen Schaltungssimulation und zum LVS enthalten zusätzlich die elektrischen Kenngrößen der Bauelemente. Diese werden bei der Parameterextraktion aus den geometrischen Daten des Layouts und Technologieinformationen gewonnen. In der Netzliste werden die Bauelemente durch ihre Bauelementmodelle repräsentiert. Es existieren unterschiedliche Modelle für die gleichen Bauelemente. Je nach verwendetem Bauelementmodell werden unterschiedliche Parameter extrahiert. Für MOS-Transistoren stellen die Weite W und die Länge L die wichtigsten Parameter dar. Die Bestimmung der Parameter W und L für Transistor T1 ergibt sich aus den Abmaessungen des Gatebereichs. Je nach Komplexität und Anwendungsfall werden aber auch weitere Größen extrahiert, wie z.B. Kapazitäten zwischen Gate bzw. Substrat und Source bzw. Drain. Diese Parameter beeinflussen ebenfalls das Verhalten des Transistors, sind jedoch nicht Resultat des geplanten Schaltungsentwurfs, sondern Folgen parasitärer Effekte.

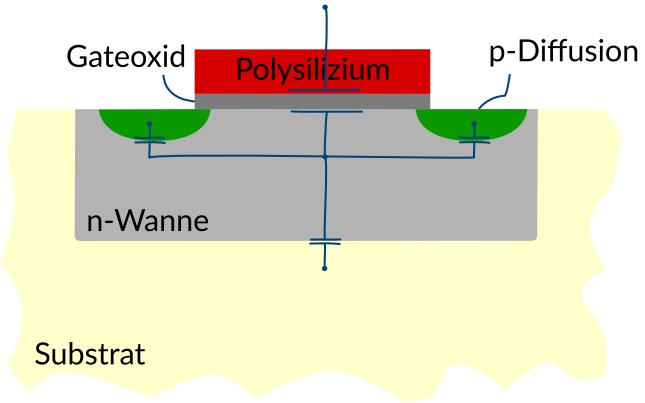
Extraktion: Parasitäre Elemente

Parasitäre Elemente

Beispiel: Kapazitäten im P-Kanal-Transistor

- Grenzschichtkapazitäten
- Gatekapazität

Generelle Einteilung:
- Leitbahnparasiten
- Aktive Parasiten im Halbleiter
- Passive Parasiten im Halbleiter

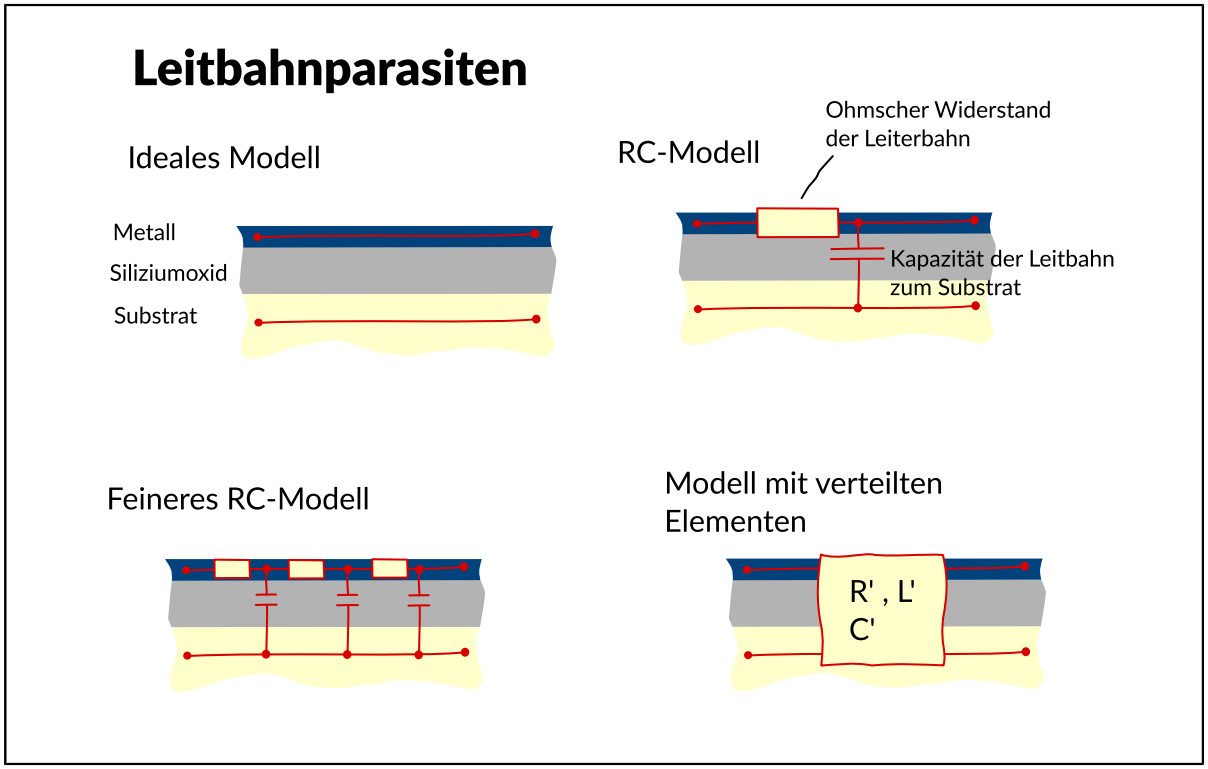


Parasitäre Effekte entstehen aufgrund von physikalischen Effekten, die nicht in direktem Zusammenhang mit der gewünschten Funktion der Schaltung stehen. Sie ergeben sich aus der Realisierung der integrierten Schaltung und können erst nach Entwurf des Layouts berücksichtigt werden. Parasitäre Effekte treten nicht nur innerhalb der Bauelemente auf. Um parasitäre Effekte auch außerhalb von Bauelementen zu berücksichtigen, werden zusätzliche parasitäre Elemente extrahiert. Diese parasitären Elemente beschreiben die Eigenschaften der parasitären Effekte bei einer analogen Schaltungssimulation. Das Ergebnis ist eine erweiterte elektrische Netzliste, die neben den Nutzelementen der Schaltung zusätzlich parasitäre Elemente enthält.

Innerhalb der Halbleiterstrukturen können parasitäre Effekte unterschieden werden, die auf aktive oder passive Elemente führen. Da ein großer Teil der Schaltung aus Verbindungen der Bauelemente untereinander besteht, nehmen die parasitären Effekte der Verbindungsstrukturen (Leitbahnen) eine besondere Rolle ein. Es ergibt sich eine Unterteilung in drei Gruppen von parasitären Elementen:

- Leitbahnparasiten
- Aktive Parasiten im Halbleiter
- Passive Parasiten im Halbleiter

Extraktion: Leitbahnparasiten



Leitbahnparasiten entstehen durch die nichtidealen Eigenschaften der Verbindungsstrukturen. Beim Entwurf integrierter Schaltungen war es lange Zeit ausreichend, Leitbahnen als ideale Verbindung zwischen zwei Knoten A und B zu betrachten. Durch den technologischen Fortschritt werden die physikalischen Strukturen immer kleiner und die Frequenzen der Spannungen und Ströme immer höher. Dies führt dazu, dass immer genauere Modelle für Leitbahnen berücksichtigt werden müssen.

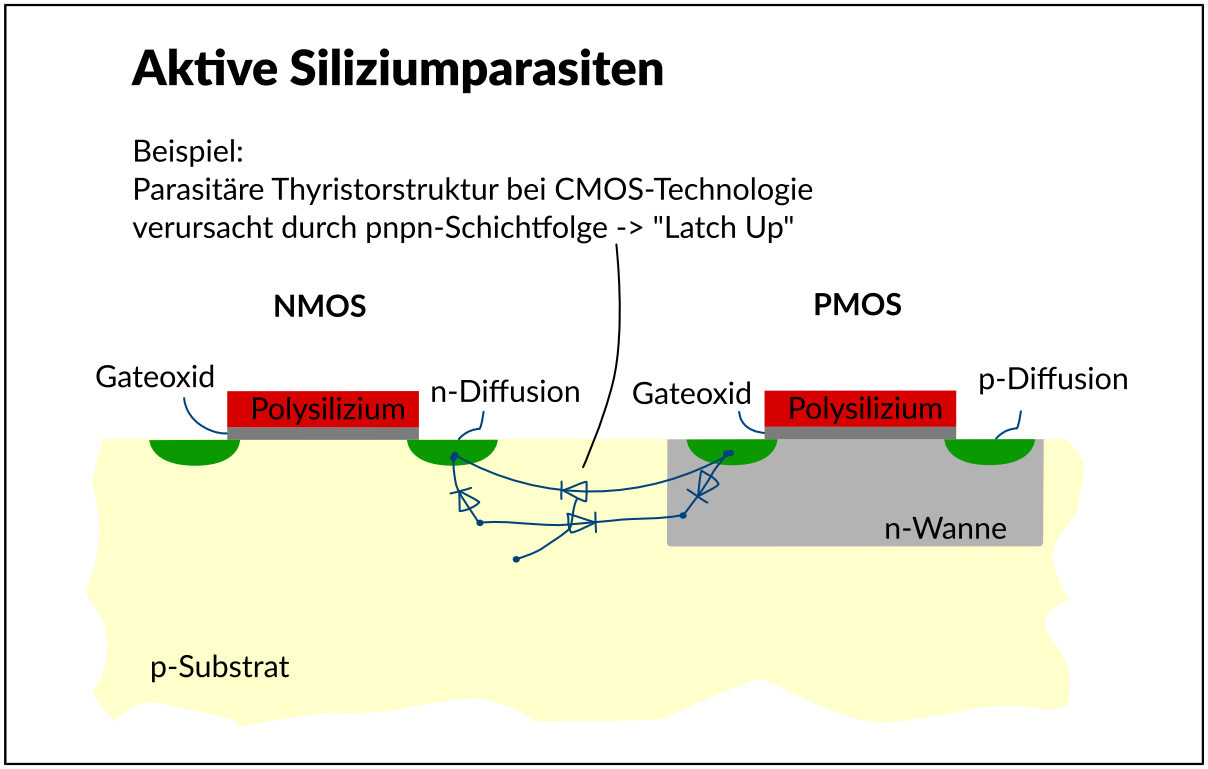
Zunächst wurde das elektrische Feld zwischen Leitbahn und dem darunter liegenden Halbleitersubstrat berücksichtigt. Dazu wurde eine Kapazität zwischen Leitbahn und Masseknoten eingefügt.

Zur Abschätzung der unmittelbarer Leitungsverzögerungen in digitalen Schaltungen wurde ein Modell benötigt, in dem die Widerstände mit den Kapazitäten der Leitbahn ein einfaches Verzögerungsglied darstellen. Dieses Modell kann durch eine abschnittsweise Betrachtung weiter verfeinert werden. Darüber hinaus ist es heute häufig notwendig auch das Übersprechen zu lateral oder vertikal benachbarten Leitbahnen durch Koppelkapazitäten zu berücksichtigen. Dies führt zu kombinierten R/C-Modellen mit steigender Komplexität.

Mit weiterem technologischen Fortschritt wurde es notwendig, Leitungsreflexionen zu berücksichtigen. Dazu wurden Modelle der Leitungstheorie mit verteilten Elementen (R’, C’ und L’) verwendet, die den Zusammenhang zwischen Ausgangs- und Eingangsgröße anhand der allgemeinen Leitungsgleichungen darstellen. Eine noch genauere dreidimensionale Betrachtung ergibt sich aus der Anwendung der Feldtheorie. Durch Anwendung der Maxwellschen Gleichungen werden die elektromagnetischen Felder der Leitbahnen berechnet. Die Integration solcher Modelle in die Netzliste stellt besondere Anforderungen an den Analogsimulator, da die Eingangsgrößen nicht mehr Spannungen und Ströme, sondern elektrische und magnetische Feldgrößen darstellen.

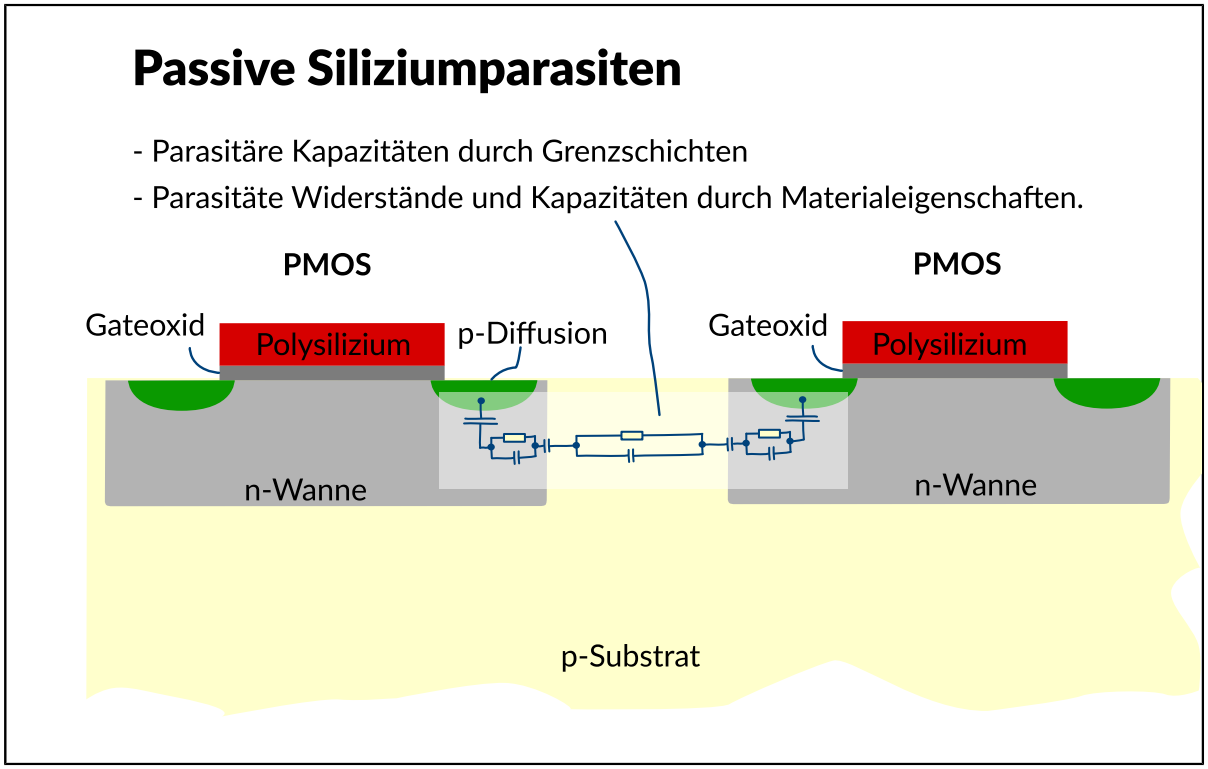
Die höhere Genauigkeit, die man mit komplexeren Modellen erreicht, erfordert einen größeren Aufwand in der Simulation. Der Entwickler muss abwägen, welche Genauigkeit notwendig ist und wie viel Zeit die entsprechende Simulation benötigen darf.

Extraktion: Aktive Siliziumparasiten



Aktive Parasiten innerhalb des Halbleiters entstehen durch Kombination von Grenzschichten unterschiedlich dotierter Gebiete wie npn, pnp oder pnpn. Solche Kombinationen bilden zum Beispiel bipolare Nutztransistoren. Es kommt aber auch zu parasitären Kombinationen solcher Gebiete, aus denen parasitäre bipolare Transistoren entstehen. Besonders gefährlich können dabei pnpn-Kombinationen sein. Diese bilden einen Thyristor, der durch ungünstige Potentialverteilungen zum Zünden gebracht werden kann. Dadurch fließen sehr große parasitäre Ströme, die den Halbleiter zerstören können. Dieses Zünden wird als Latch-Up-Effekt bezeichnet.

Extraktion: Passive Siliziumparasiten



Passive Parasiten im Halbleiter entstehen sowohl an den Grenzflächen unterschiedlich dotierter Gebiete, als auch innerhalb homogen dotierter Gebiete. An einem pn-Übergang entsteht eine Kapazität, deren Kapazitätswert von der Spannung über der Grenzschicht abhängt. Innerhalb homogen dotierter Halbleiter ergeben sich parasitäre Widerstände und Kapazitäten aus den Materialeigenschaften. Das Bild zeigt beispielhaft passive parasitäre Elemente zwischen zwei Wannen.